

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111022

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 27/146
H01L 21/28
H01L 21/8238
H01L 27/092
H01L 27/14
H04N 5/335

(21)Application number : 2000-232108

(71)Applicant : CANON INC

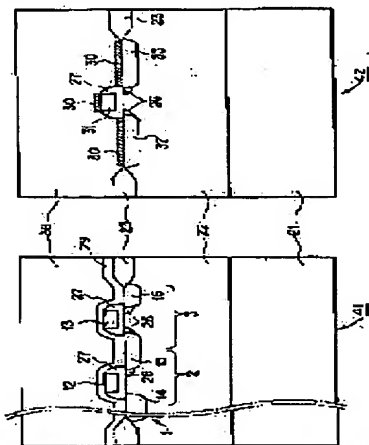
(22)Date of filing : 31.07.2000

(72)Inventor : YUZURIHARA HIROSHI

(30)Priority

Priority number : 11223078 Priority date : 05.08.1999 Priority country : JP

(54) PHOTOELECTRIC CONVERSION DEVICE AND METHOD OF FABRICATION THEREOF, IMAGE INFORMATION PROCESSOR



(57)Abstract:

PROBLEM TO BE SOLVED: To realize high speed operation without sacrifice of characteristics at a photoelectric converting section.

SOLUTION: A photoelectric conversion device comprises a photoelectric converting section 41 and a peripheral circuit section 42 for processing signals received therefrom formed on the same semiconductor substrate wherein a semiconductor compound layer 30 of high melting point metal is provided on the source-drain and the gate electrode of an MOS transistor forming the peripheral circuit section and the light receiving part of the photoelectric converting section, i.e., the upper surface of a semiconductor diffusion layer, touches an insulation layer 29.

LEGAL STATUS

[Date of request for examination] 23.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3624140

[Date of registration] 03.12.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-111022
(P2001-111022A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/146		H 0 1 L 21/28	3 0 1 R
21/28	3 0 1	H 0 4 N 5/335	U
21/8238			E
27/092		H 0 1 L 27/14	A
27/14		27/08	3 2 1 F
審査請求 未請求 請求項の数44 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-232108(P2000-232108)

(22) 出願日 平成12年7月31日(2000.7.31)

(31) 優先権主張番号 特願平11-223078

(32) 優先日 平成11年8月5日(1999.8.5)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 諷原 浩

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

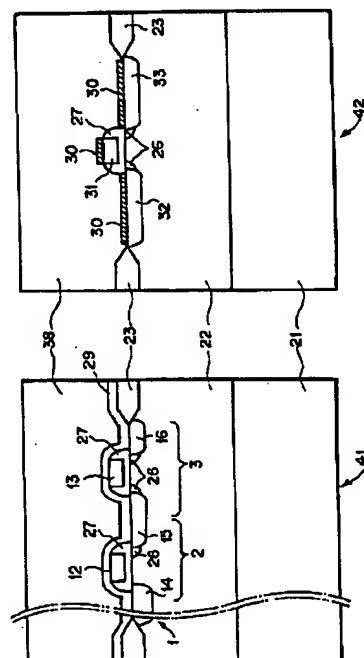
弁理士 山下 稔平

(54) 【発明の名称】 光電変換装置およびその製造方法、画像情報処理装置

(57) 【要約】

【課題】 光電変換部の特性を劣化させることなく、高速動作可能とする。

【解決手段】 光電変換部41とその光電変換部からの信号を処理する周辺回路部42とが同一の半導体基板に配設された光電変換装置において、周辺回路部を形成するMOSトランジスタのソース・ドレイン上とゲート電極上には高融点金属の半導体化合物層30があり、光電変換部の受光部となる半導体拡散層上面が絶縁層29に接している。



【特許請求の範囲】

【請求項1】 光電変換部とその光電変換部からの信号を処理する周辺回路部とが同一の半導体基板に配設された光電変換装置において、

前記周辺回路部を形成するMOSトランジスタのソース・ドレイン上とゲート電極上には高融点金属の半導体化合物層があり、
前記光電変換部の受光部となる半導体拡散層上面が絶縁層に接していることを特徴とする光電変換装置。

【請求項2】 前記受光部に隣接するゲート電極の上面の少なくとも一部が絶縁層に接していることを特徴とする請求項1記載の光電変換装置。

【請求項3】 前記受光部に隣接する前記ゲート電極の上面に前記高融点金属の半導体化合物層の端部が配置されている請求項1記載の光電変換装置。

【請求項4】 前記半導体拡散層の端部が前記絶縁層に接している請求項1記載の光電変換装置。

【請求項5】 前記半導体拡散層は、光電変換された電荷を蓄積する第1導電型の半導体層を含む請求項1記載の光電変換装置。

【請求項6】 前記半導体拡散層は、光電変換された電荷を蓄積する第1導電型の半導体層と前記絶縁膜との間に配された第2導電型の半導体層を含む請求項1記載の光電変換装置。

【請求項7】 前記半導体拡散層は、光電変換された電荷を蓄積する第1導電型の半導体層を含み、前記第1導電型の半導体層の不純物濃度は前記MOSトランジスタのソース・ドレインの不純物濃度より低いことを特徴とする請求項1記載の光電変換装置。

【請求項8】 前記MOSトランジスタのソース・ドレインは、互いに不純物濃度の異なる少なくとも2つの領域を有しており、そのうち不純物濃度の高い領域上にのみ前記高融点金属の半導体化合物層が形成されている請求項1記載の光電変換装置。

【請求項9】 前記光電変換部は、増幅用MOSトランジスタ、リセット用MOSトランジスタ、選択用MOSトランジスタのうち少なくとも一種を含む請求項1記載の光電変換装置。

【請求項10】 前記光電変換部は、転送用MOSトランジスタを含み、前記転送用MOSトランジスタのゲート電極の少なくとも一部とソース・ドレインのうち一方には前記高融点金属の半導体化合物層が設けられている請求項1記載の光電変換装置。

【請求項11】 前記光電変換部は、増幅用MOSトランジスタ、リセット用MOSトランジスタ及び選択用MOSトランジスタを含み、これらのMOSトランジスタのゲート電極とソース・ドレインには前記高融点金属の半導体化合物層が設けられている請求項1記載の光電変換装置。

【請求項12】 前記光電変換部は、増幅用MOSトラ

ンジスタ、リセット用MOSトランジスタ及び選択用MOSトランジスタを含み、これらのMOSトランジスタのゲート電極とソース・ドレインには前記高融点金属の半導体化合物層が設けられており、

前記光電変換部は、更に転送用MOSトランジスタを含み、前記転送用MOSトランジスタのゲート電極の少なくとも一部とソース・ドレインのうち一方には前記高融点金属の半導体化合物層が設けられている請求項1記載の光電変換装置。

【請求項13】 前記絶縁層は、半導体化合物形成阻止層である請求項1記載の光電変換装置。

【請求項14】 前記絶縁層は、反射防止膜である請求項1記載の光電変換装置。

【請求項15】 前記絶縁層は、互いに屈折率の異なる複数の層からなる請求項1記載の光電変換装置。

【請求項16】 前記絶縁層は、ノンドープの酸化シリコンからなる請求項1記載の光電変換装置。

【請求項17】 前記絶縁層は、ボロンとリンのうち少なくとも一種がドープされた酸化シリコンからなる請求項1記載の光電変換装置。

【請求項18】 前記絶縁層は、酸化シリコンと、窒化シリコン又は窒化酸化シリコンの積層体からなる請求項1記載の光電変換装置。

【請求項19】 前記光電変換装置は、遮光層を有しており、前記遮光層により遮光された全てのMOSトランジスタのゲート電極、ソース・ドレインに前記高融点金属の半導体化合物層が設けられている請求項1記載の光電変換装置。

【請求項20】 前記光電変換部は、前記半導体拡散層から転送された電荷を受容する浮遊拡散層を有しており、前記浮遊拡散層の上面は、コンタクトホール底部を除いて、絶縁層に接している請求項1記載の光電変換装置。

【請求項21】 前記光電変換部は、増幅用MOSトランジスタ、リセット用MOSトランジスタ及び選択用MOSトランジスタを含み、これらのMOSトランジスタのゲート電極上面とソース・ドレイン上面は、コンタクトホール底部を除いて、絶縁層に接している請求項1記載の光電変換装置。

【請求項22】 前記光電変換部は、増幅用MOSトランジスタ、リセット用MOSトランジスタ及び選択用MOSトランジスタを含み、これらのMOSトランジスタのゲート電極上面とソース・ドレイン上面は、コンタクトホール底部を除いて、絶縁層に接しており、
前記光電変換部は、更に、前記半導体拡散層から転送された電荷を受容する浮遊拡散層を有し、前記浮遊拡散層の上面は、コンタクトホール底部を除いて、絶縁層に接している請求項1記載の光電変換装置。

【請求項23】 前記光電変換部は、2次元行列状に配置されている請求項1記載の光電変換装置。

【請求項24】 前記2次元行列状に配置された前記光電変換部にあるMOSトランジスタのゲート電極とソース・ドレインの上面は、コンタクトホール底部を除いて、絶縁層に接している請求項1記載の光電変換装置。

【請求項25】 前記2次元行列状に配置された前記光電変換部は、共通の半導体化合物形成阻止層で覆われている請求項1記載の光電変換装置。

【請求項26】 前記周辺回路部は、シフトレジスタを含む請求項1記載の光電変換装置。

【請求項27】 前記周辺回路部は、ADコンバータを含む請求項1記載の光電変換装置。

【請求項28】 前記高融点金属の半導体化合物層は、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、 tantalumシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドからなる群から選択される少なくとも一種からなる請求項1記載の光電変換装置。

【請求項29】 前記半導体拡散層は、光電変換された電荷を蓄積する第1導電型の半導体層を含み、前記第1導電型の半導体層の接合深さは、MOSトランジスタのソース・ドレインの接合深さより深いことを特徴とする請求項1記載の光電変換装置。

【請求項30】 前記光電変換部のMOSトランジスタのソース・ドレインは、互いに不純物濃度の異なる少なくとも2つの領域を有しており、且つそのうち不純物濃度の高い領域のコンタクトホール底部を除く部分には、前記高融点金属の半導体化合物層が形成されておらず、前記周辺回路部のMOSトランジスタは、互いに不純物濃度の異なる少なくとも2つの領域を有しており、且つそのうち不純物濃度の高い領域上に前記高融点金属の半導体化合物層が形成されている請求項1記載の光電変換装置。

【請求項31】 請求項1記載の光電変換装置を製造するための製造方法において、前記光電変換部の受光部となる半導体拡散層の上面を半導体化合物形成阻止層で覆う工程、前記半導体化合物形成阻止層により覆われていないMOSトランジスタのソース・ドレインとなる領域上とゲート電極となる導電層上に高融点金属の半導体化合物層を形成する工程、を含む光電変換装置の製造方法。

【請求項32】 光電変換部とその光電変換部からの信号を処理する周辺回路部とが同一の半導体基板上に配設された光電変換装置の製造方法において、前記光電変換部の受光部となる半導体拡散層上面を半導体化合物形成阻止層で覆う工程、前記半導体化合物形成阻止層により覆われていないMOSトランジスタのソース・ドレインとなる領域上とゲート電極となる導電層上に高融点金属の半導体化合物層を

形成する工程、

を含む光電変換装置の製造方法。

【請求項33】 前記半導体化合物形成阻止層で覆われていないゲート電極となる導電層と、ソース・ドレインとなる領域の上面に高融点金属を堆積する工程、前記高融点金属を熱処理する工程、

未反応の前記高融点金属を除去する工程、

を含む請求項32記載の光電変換装置の製造方法。

【請求項34】 前記半導体化合物形成阻止層の端部を、前記半導体拡散層に隣接するゲート電極となる導電層の上面に配置する請求項32記載の光電変換装置の製造方法。

【請求項35】 2次元行列状に配された前記光電変換部を、共通の前記半導体化合物形成阻止層で覆う請求項32記載の光電変換装置の製造方法。

【請求項36】 前記半導体化合物形成阻止層を覆うように絶縁膜を形成する工程、

を含む請求項32記載の光電変換装置の製造方法。

【請求項37】 前記半導体化合物形成阻止層を覆うように絶縁膜を形成する工程、前記半導体化合物形成阻止層と前記絶縁膜とを貫通するコンタクトホールを形成する工程、前記コンタクトホールに導電体を充填する工程、を含む請求項32記載の光電変換装置の製造方法。

【請求項38】 前記半導体化合物形成阻止層を除去した後、前記半導体拡散層を覆うように絶縁膜を形成する工程、

を含む請求項32記載の光電変換装置の製造方法。

【請求項39】 前記半導体化合物形成阻止層の上に、前記半導体化合物形成阻止層とは屈折率の異なる層を設ける工程、を含む請求項32記載の光電変換装置の製造方法。

【請求項40】 前記半導体化合物形成阻止層とは屈折率の異なる層は、窒化シリコン又は窒化酸化シリコンである請求項39記載の光電変換装置の製造方法。

【請求項41】 前記半導体拡散層の端部を覆うように前記半導体化合物層形成阻止層を設ける請求項32記載の光電変換装置の製造方法。

【請求項42】 前記半導体基体にウエルと素子分離領域を形成する工程、

MOSトランジスタのゲート電極となるポリシリコン層を形成する工程、

前記半導体拡散層を形成する工程、

前記MOSトランジスタのソース・ドレインとなる低不純物濃度領域を形成する工程、

前記ポリシリコン層の側壁にサイドスペーサを形成する工程、

前記低不純物濃度領域内に高不純物濃度領域を形成する工程、

前記半導体基体上に酸化シリコン膜を形成する工程、

前記半導体拡散層上の前記酸化シリコン膜を残して、前

記ポリシリコン層上及び前記高不純物濃度領域上の前記酸化シリコン膜を除去する工程、
高融点金属と高融点金属の酸化防止層を堆積する工程、
熱処理工程、
前記高融点金属の未反応層と前記酸化防止層を除去する工程、を含む請求項3記載の光電変換装置の製造方法。

【請求項43】 請求項1記載の光電変換装置と、該光電変換装置から出力された画像信号を信号処理して記憶媒体に記憶させる回路と、を有する画像情報処理装置。

【請求項44】 前記画像情報処理装置は、デジタルスチルカメラ又はデジタルビデオカメラである請求項43記載の画像情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルスチルカメラ、デジタルビデオカメラ、イメージスキャナーなどの情報処理装置に用いられる光電変換装置とその製造方法、および画像情報処理装置に関し、とくに受光部で発生した電荷を読み出すための周辺回路を有する光電変換装置とその製造方法、および画像情報処理装置に関するものである。

【0002】

【従来の技術】被写体の画像を電気信号に変換する光電変換装置として、CCD型やMOS型の半導体装置がある。近来、光電変換装置の画像読み取り速度の向上が求められており、その手段として周辺回路の高速化、種々の周辺回路を光電変換部と同一のチップに集積するなどが行われている。特にMOS型光電変換装置は、MOS製造プロセスによって、光電変換部と周辺回路部を共通の製造方法で製造できるため、両者の同一チップへの集積化が比較的容易である。MOS型光電変換装置としては、受光部と信号処理用のMOSトランジスタからなる装置が、米国特許第5698844号、5861620号、5955753号等の明細書に記載されている。

【0003】図12は従来のMOS型の光電変換装置の回路図である。図12において、1は受光素子としてのダイオード、2は受光素子1で発生した電荷を転送するための転送用MOSトランジスタ、3は転送された電荷をゲート電極にリセットパルスが印加されてリセット動作を行うリセット用MOSトランジスタである。4は選択パルスをゲート電極に印加してオンする選択用MOSトランジスタ、5はフローティングゲートに転送された電荷を増幅する増幅用MOSトランジスタである。信号電荷は、トランジスタ4、5からなるソースホロワから、転送パルスにより転送動作を行う転送用MOSトランジスタ8を介して、蓄積容量7に一旦蓄積され、その後、蓄積容量7の電荷を出力MOSトランジスタ11、アンプ9を通じて増幅された信号として出力端子10から出力される。

【0004】図13は受光素子1と、転送MOSトランジスタ2、及びリセット用トランジスタ3からなる光電変換部41の断面構造と、周辺回路部42を構成しているMOSトランジスタの断面構造を示している。21は半導体基板、22は半導体基板とは異なる導電型のウェル、23はLOCOSと呼ばれる選択酸化法により形成された素子分離領域、25は受光素子1の受光部となる半導体拡散層、38は絶縁層である。32、33はソース・ドレイン、31はゲート電極である。絶縁層38に形成されるべきコンタクトホールとその中に形成される電極は省略して図示している。

【0005】また、MOSトランジスタを用いたロジック回路では、高速動作を目的として、ソース・ドレイン、ゲート電極に高融点金属の半導体化合物を選択的に形成するサリサイド（セルフアラインシリサイド）構造が使用されている。このサリサイド構造のMOSトランジスタの断面を図14に示す。

【0006】図14において、半導体基板121上にウェル122が形成され、ゲート131とドレイン132とソース133が形成され、それらの上面にコバルトシリサイドのようなシリサイド層130が形成されている。

【0007】そして、このMOSトランジスタの上に絶縁保護層138を積層して、ゲート電極136、ソース電極137、ドレイン電極135を形成してロジック回路が生成される。

【0008】又、特開平6-326289号公報には、CMD素子（チャージモジュレーションデバイス）のソース・ドレイン上にのみシリサイド膜を設けた固体撮像装置が開示されている。

【0009】

【発明が解決しようとする課題】しかしながら、CMD素子では多結晶シリコンのゲート電極を通して受光し、その下のチャネル領域に光により生成された電荷を蓄積するものであるため、感度の点で不十分であった。

【0010】一方、高速動作を目的として、図14に示したようなサリサイド構造をMOS型の光電変換装置に採用すると、光電変換部のリーク電流が増大し、光電変換特性を劣化させることがあった。

【0011】本発明の目的は、光電変換部の特性を劣化させることなく、高速動作可能な光電変換装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の光電変換装置は、光電変換部とその光電変換部からの信号を処理する周辺回路部とが同一の半導体基板に配設された光電変換装置において、前記周辺回路部を形成するMOSトランジスタのソース・ドレイン上とゲート電極上には高融点金属の半導体化合物層があり、前記光電変換部の受光部となる半導体拡散層上面が絶縁層に接していることを特

徴とする。

【0013】本発明の光電変換装置の製造方法は、光電変換部とその光電変換部からの信号を処理する周辺回路部とが同一の半導体基板上に配設された光電変換装置の製造方法において、前記光電変換部の受光部となる半導体拡散層上面を半導体化合物層形成阻止層で覆う工程、前記半導体化合物層形成阻止層により覆われていないMOSトランジスタのソース・ドレインとなる領域上とゲート電極となる導電層上に高融点金属の半導体化合物層を形成する工程、を含むことを特徴とする。

【0014】本発明によれば、少なくとも受光部となる半導体拡散層に高融点金属の半導体化合物層が接していないので、受光部におけるリーク電流を抑制できる。

【0015】また、すくなくとも周辺回路を構成するMOSトランジスタは、そのゲート電極、ソース、ドレインにそれぞれ高融点金属の半導体化合物層が設けられているので抵抗が小さく、微細トランジスタであっても高速度動作が可能である。

【0016】

【発明の実施の形態】本発明による光電変換装置について、図1、図2を用いて説明する。

【0017】図1は光電変換装置の模式的断面図、図2はこの光電変換装置の1画素に相当する部分の回路図である。ここで、光電変換部は、受光素子1と転送用MOSトランジスタ2とリセットMOSトランジスタ3と、増幅用MOSトランジスタ5と選択用MOSトランジスタ4を含んでいる。

【0018】図1では、光電変換部41のうち、このうち受光素子1、転送用MOSトランジスタ2、リセット用MOSトランジスタ3の断面構造と、その光電変換部41からの信号を処理する周辺回路部42を構成するMOSトランジスタの断面構造を示している。

【0019】各MOSトランジスタを接続する電極や配線は省略されているが、配線(回路)の一例は、図2に示すとおりである。

【0020】受光素子1としてのホトダイオードに光が入射し発生した電荷(ここでは電子)は、ホトダイオードのカソードに蓄積される。この電荷は転送用MOSトランジスタ2により増幅用MOSトランジスタのゲートに転送されてゲート電位が変化する。選択用MOSトランジスタ4により増幅用MOSトランジスタ5のドレインに電圧が印加されると増幅用MOSトランジスタ5のソースから増幅された信号が読み出される。そして、信号が読み出される直前又は読み出した後に増幅用MOSトランジスタ5のゲートは基準電位にリセットされる。

【0021】図2は本発明の光電変換装置に用いられる回路の一例であり、本発明はMOS型と呼ばれる全てのタイプの光電変換装置に用いることができる。

【0022】図1において、12は転送用MOSトランジスタ2のゲート電極、13はリセット用MOSトラン

ジスタ3のゲート電極である。14は受光部となる半導体拡散層であり、ウエル22と反対導電型の半導体からなる。可視光における感度を良好にするために、必要に応じて接合深さを他の拡散層より深くするとよい。15は浮遊拡散層であり、ウエル22と反対導電型の半導体からなる。16はリセット用の基準電圧が与えられる拡散層である。26は、LDD(Lightly Doped Drain)構造を提供するための低不純物濃度拡散層であり、拡散層15、16、32、33と同じ導電型でかつそれらよりも不純物濃度が低い。

【0023】また、27は絶縁材料などからなるサイドスペーサ、29は、半導体拡散層14などの表面において発生するリーク電流を抑制し、高融点金属の半導体化合物の形成を阻止するためにも機能する絶縁膜である。

【0024】転送用MOSトランジスタのソースは受光部となる半導体拡散層14と共通化されており、転送用MOSトランジスタのドレインとリセット用MOSトランジスタのドレインは共通化されており、浮遊拡散層15を構成している。浮遊拡散層15は増幅用MOSトランジスタ5に不図示の電極を通して接続されており、拡散層16も不図示のリセット用基準電圧配線に電極を通して接続されている。

【0025】周辺回路部42のMOSトランジスタにおいては、31がポリシリコンなどからなるゲート電極、32、33はソース又はドレインとなる拡散層であり、ウエル22と反対導電型の半導体からなり、低濃度不純物拡散層26よりも不純物濃度が高い。

【0026】30が高融点金属の半導体化合物層であり、MOSトランジスタのポリシリコン製ゲート電極31の上面及びソース・ドレインとなる拡散層32、33の上面に設けられており、それらの抵抗値を低くする役目を担っている。

【0027】一方、ホトダイオードの受光部となる半導体拡散層14の上面やMOSトランジスタ2、3のゲート電極の上面やソース・ドレインの上面には高融点金属の半導体化合物層は形成されておらず、これらの上面は絶縁層29に接している。半導体拡散層14や浮遊拡散層15の上面に低抵抗の層があるとその表面においてリーク電流が発生しやすい。とくに半導体拡散層14や浮遊拡散層15の端部、即ち素子分離領域23やゲート電極との境界付近でPN接合が終端するところでは、リーク電流が起りやすい。よって、少なくともこれらの半導体拡散層14や浮遊拡散層15の端部には高融点金属の半導体化合物層のような低抵抗の層を設けないようにして、酸化シリコンのような絶縁膜で端部表面を覆うことが望ましい。又、受光部での光電変換効率を高めるためにも半導体拡散層の光入射側には高融点金属の半導体化合物層を設けないようにする。

【0028】但し、絶縁層にコンタクトホールを形成してゲート電極や拡散層に電気的に接続される電極を設け

る場合には、そのコンタクトホール底部においては導電材料の層として高融点金属やその半導体化合物の層が形成され得る。

【0029】ここで、リーク電流について述べる。

【0030】図3(a)に示すように、半導体拡散層14にもシリサイド層14を形成した場合、その部分の抵抗が低くなる。そうすると、半導体拡散層14の端部14AのPN接合がシリサイドにより短絡しリーク電流が発生するのである。こうしたリーク電流は非常に少ないために通常のMOSトランジスタでは、それほど問題にならないが、光電変換装置においてはノイズ特に固定パターンノイズとなって現れる。

【0031】そこで、図3(b)に示すように、半導体拡散層14の端部14Aを絶縁層29で覆って保護する。このように拡散層14の端部14AのPN接合が絶縁層に接触して保護されるので、リーク電流の発生を防止できる。そして、シリサイドプロセスにおいて、高融点金属との反応を防止する。この効果は本発明の全ての実施形態に共通にいえることである。

【0032】本発明において、高融点金属の半導体化合物層を設けずに、絶縁膜で表面を覆う箇所は、受光部となる半導体拡散層14だけであってもよい。或いは半導体拡散層14と転送用MOSトランジスタ2のゲート電極とソース・ドレインだけは高融点金属の半導体化合物層を設けないようにしてもよい。更には、リセット用MOSトランジスタ3、増幅用MOSトランジスタ5、選択用MOSトランジスタ4のうち少なくともいずれか一種と受光部となる半導体拡散領域14には高融点金属の半導体化合物層を設けないようにしてもよい。

【0033】又、転送用MOSトランジスタ2を用いずに、受光部となる半導体拡散層14を増幅用MOSトランジスタ5のゲートに直結する回路の場合には、半導体拡散層14には高融点金属の半導体化合物層を設けず、増幅用、リセット用、選択用の各MOSトランジスタには高融点金属の半導体化合物層を設けることができる。或いは、半導体拡散層14とリセット用MOSトランジスタのソース又はドレインを共通にする場合には、その共通の層のみ高融点金属の半導体化合物層を設けないようにすることもできる。

【0034】更には、1画素にあたる光電変換部が一つのホトダイオードと1つの転送用MOSトランジスタのみからなる回路構成の場合には、受光部となる半導体拡散層のみ高融点金属の半導体化合物層を設けないようにするか、転送用MOSトランジスタにも高融点金属の半導体化合物層を設けないようにする。

【0035】以上説明したように、光電変換部の回路構成は多種類に及ぶが、いずれにしても、少なくとも受光部となる半導体拡散層には高融点金属の半導体化合物層を設けない。そして、半導体拡散層以外のゲート電極やソース・ドレインは必要に応じて高融点金属の半導体化

合物層を設けるか否かを選択する。

【0036】より好ましくは、2次元行列状に光電変換部を配列する場合には、後述する実施形態の一つのようにこの光電変換部全体には高融点金属の半導体化合物層を設けず、光電変換部外の周辺回路のMOSトランジスタのみ高融点金属の半導体化合物層を設けると良い。

【0037】又、受光部となる半導体拡散層のみ高融点金属の半導体化合物層を設けないようにするには、高融点金属の半導体化合物形成阻止層の端部の位置あわせを高精度に行わねばならない。そこで、後述する別の実施形態のように半導体化合物形成阻止層の端部が、受光素子に隣接するゲート電極上に配置されるように端部を位置決めするとよい。

【0038】本発明に用いられる周辺回路部としては、シフトレジスタ、ノイズ除去回路、増幅器、サンプル&ホールド回路、ADコンバータ、タイミングジェネレータ、プログラマブルゲインアンプ、対数圧縮回路などが必要に応じて適宜組合わされてワンチップ化される。よって、これらを構成するMOSトランジスタに高融点金属の半導体化合物層を設け、動作速度を高めるとよい。

【0039】更には、各種ロジック回路やメモリなどをワンチップ化する場合には、これらを構成するMOSトランジスタにも高融点金属の半導体化合物層を設ける。

【0040】周辺回路部はCMOS製造プロセスにより作製されたnMOSトランジスタとpMOSトランジスタを用いて構成されることが、好ましく、それぞれLD構造のMOSトランジスタであることが望ましい。

【0041】本発明に用いられる高融点金属は、耐火性金属などと呼ばれるものであり、チタン、ニッケル、コバルト、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナからなる群から選択される少なくとも一種、あるいはそれを主成分とする合金である。

【0042】本発明に用いられる高融点金属の半導体化合物層は、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、タンタルシリサイド、クロムシリサイド、パラジウムシリサイド、プラチナシリサイドからなる群から選択される少なくとも一種からなる。あるいは上述した合金の珪化物であってもよい。

【0043】本発明に用いられる拡散層を覆う絶縁層としては、ノンドーブの酸化シリコンや、リン及び/又はボロンがドーブされた酸化シリコンが好ましくもちいられるが、その他に窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を用いることもできる。

【0044】又、受光部となる半導体拡散層に入射する光の反射成分を抑制するために、この絶縁層に反射防止膜としての機能を持たせても良い。具体的には、後述するように、酸化シリコンからなる絶縁層の上に、窒化シ

リコン又は窒化酸化シリコンなどの屈折率の大きな絶縁層を積層するとよい。

【0045】本発明においては、高融点金属の半導体化合物形成阻止するために、高融点金属の堆積前に、半導体拡散層の上面などに、ノンドープの酸化シリコンや、リン及び／又はボロンがドープされた酸化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を形成し、下地の半導体を保護する。この絶縁体は、上移した拡散層を覆う絶縁層として残してもよいし、高融点金属の半導体化合物を形成した後に除去してもよい。

【0046】本発明に用いられる半導体拡散層14の不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ から $1 \times 10^{18} \text{ cm}^{-3}$ 、接合深さは0.2 μm から0.5 μm 、本発明に用いられる低不純物濃度のソース・ドレイン拡散層26の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ 、接合深さは0.05 μm から0.3 μm 、本発明に用いられる高不純物濃度のソース・ドレイン拡散層15、16、32、33の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{21} \text{ cm}^{-3}$ 、接合深さは0.1 μm から0.5 μm から選択するとよい。

【0047】

【実施例】（第1の実施例）本発明の第1実施例における光電変換装置の製造方法について図4（a）～図4（e）を参照して説明する。

【0048】まず、図4（a）に示すように、シリコンなどの半導体基板21上にp型ウェル22とn型ウェル（図示せず）を形成し、選択酸化法などにより、素子分離領域23を形成する。尚、図4（a）～図4（e）では光電変換部41と周辺回路部42を、隣接させて描いている。

【0049】続いて、各MOSトランジスタのポリシリコンゲート電極12、13、31を形成した後、N型不純物を導入して受光部を構成するフォトダイオードの半導体拡散層14を形成する。ゲート電極をマスクにしたイオン注入によりN型不純物を導入し、ゲート電極側面に自己整合した低不純物濃度のソース・ドレイン拡散層26を形成する。そして酸化シリコンなどの絶縁体を堆積し、その絶縁体をエッチバックする。こうして、ゲート電極12、13、31の側壁にサイドスペーサ27を形成する。そして、ゲート電極とサイドスペーサをイオン注入用のマスクにしてN型不純物を導入し、サイドスペーサ側面に自己整合した高不純物濃度のソース・ドレイン拡散層15、16、32、33を形成する。こうして図4（b）に示したような構造が得られる。

【0050】図4（c）に示すように、CVD法、PVD法などにより酸化シリコン膜のような高融点金属の半導体化合物形成阻止層29を成膜し、光電変換部41にのみその層を残し、選択的に周辺回路部41の阻止層29を除去する。

【0051】CVDやスパッタなどにより、Coのよう

な高融点金属（不図示）とTiNのような高融点金属の酸化防止層（不図示）を連続成膜する。これらの膜を熱処理することでMOSトランジスタのゲート電極やソース・ドレインを構成しているシリコンと高融点金属とを反応（シリサイド化）させ高融点金属の半導体化合物層を形成する。続いて、阻止層29の上などに残った高融点金属の未反応層（不図示）と、高融点金属の酸化防止層を酸溶液に浸して除去し、再び熱処理を行う。こうして図4（d）に示すように、コバルトシリサイドのような高融点金属の半導体化合物層30を形成する。

【0052】BPSGのような絶縁層を成膜し、コンタクトホールを形成して、その中に電極37を形成する。また、配線39を形成する。こうして図4（e）に示す構造がえられる。光電変換部41のゲート電極や拡散層は、コンタクトホール底部を除いて、絶縁膜で覆われて保護されている。

【0053】シリサイド化する高融点金属はCo以外にも、上述した材料を用いることが可能であり、シリサイド化については、例えば特開平7-335890号公報などに記載されている。また、酸化防止層も必要に応じて形成すれば良いものである。

【0054】以上の説明はnMOSトランジスタを用いた例について説明したが、CMOSプロセスで光電変換装置を作製する場合には、導電型を変えれば同じようにpMOSトランジスタを作ることができる。

【0055】以上、本発明の第1の実施例において、光電変換素子部41においては高融点金属のシリサイド層が存在せず、周辺回路部42においてはMOSトランジスタのソース・ドレインとゲート電極上に高融点金属のシリサイド層が形成されるために、各領域の抵抗を小さくでき、周辺回路部42で高速の回路動作が可能となる。また、光電変換部41では、リーク電流の増大がなく、光電変換特性の劣化はない。

【0056】（第2の実施例）本発明の第2の実施例はMOS型光電変換装置において、各光電変換部41の信号電荷を転送する転送用MOSのゲート電極上に境に、受光部14上以外の個所に、サリサイド構造を採用するものである。これにより、受光部となる半導体拡散層に隣接するゲート電極の上面の少なくとも一部が絶縁層に接することになる。換言すると受光部に隣接するゲート電極の上面に高融点金属の半導体化合物層の端部が配置されることになる。

【0057】第2実施例では、光電変換部41のフォトダイオードの半導体拡散層14上のみ、高融点金属がなく光電変換部41の転送用MOSトランジスタ2のドレイン15、リセット用MOSトランジスタ3、ソースホロウを構成する増幅用MOSトランジスタ、選択用MOSトランジスタ（図上奥行き方向に形成されている）をサリサイド構造にすることにより、第1実施例と比較し、光電変換部の各MOSの動作速度をアップさせ、よ

り高速な動作を実現することを目的とする。

【0058】以下、図5(a)～図5(d)を参照して説明する。

【0059】図5(a)に示すように、第1の実施例と同様にしてウェル22、素子分離領域23、ゲート電極12、13、31、半導体拡散層14、低不純物濃度のソースドレイン拡散層26、高不純物濃度のソースドレイン拡散層15、28、32、33を形成する。

【0060】図5(b)に示すように、第1の実施例と同様に阻止層29を成膜し、転送用MOSトランジスタ2のゲート電極12上に端部29Aが配置されるように、半導体拡散層14上を除き、選択的に阻止層29を除去する。

【0061】第1実施例と同様に、スパッタなどにより、高融点金属、酸化防止層を連続成膜し、熱処理を行うことでシリサイド化する。阻止層29の上部や素子分離領域の上部などにある高融点金属の未反応層と酸化防止層を酸溶液に浸し除去し、再び熱処理を行う。こうして図5(c)に示すように、高融点金属の半導体化合物層30を形成する。

【0062】図5(d)に示すように、第1の実施例と同様にして阻止層29を残した状態で、層間絶縁層38を成膜し、コンタクトホールを開けて、電極37を形成し、配線39を形成する。

【0063】以上、本発明の第2の実施例において、光電変換素子部41の受光部上においては高融点金属のシリサイド層が存在せず、光電変換部41の転送用MOSトランジスタ2とリセット用MOSトランジスタ3とソースフォロワとなる増幅用MOSトランジスタ5と選択用MOSトランジスタ4および周辺回路部42のMOSトランジスタのソース・ドレインとゲート電極上に高融点金属のシリサイド層が形成される。そのために各領域の抵抗を小さくでき、高速の回路動作が可能となる。また、光電変換部41ではリーク電流の増大は小さく、光電変換特性の大きな劣化はない。

【0064】(第3の実施例) 本発明の第3の実施例はMOS型光電変換装置において、高融点金属のシリサイド層を形成しない領域を作るための阻止層をゲート電極の側壁に形成されるサイドスペースと共用するものである。

【0065】まず、図6(a)に示す構造を、作製する。光電変換部41および周辺回路部42のMOSトランジスタ製造方法のうち、図6(a)に示すように、ウェル22、素子分離23、ゲート電極12、13、31、半導体拡散層14、低不純物濃度のソース・ドレイン拡散層26形成までは、第1実施例と同じである。

【0066】図6(b)に示すように、半導体拡散層14の上面に半導体化合物形成阻止層及びサイドスペースとなる膜57を形成する。具体的には、CVD法などにより、酸化シリコンのような膜57を成膜し、半導体拡

散層14上のみホトレジストから形成されたエッチングマスク(不図示)57で覆い、他の部分に露出している部分のみ反応性イオンエッチングで除去し、エッチングマスクを除去する。こうして、半導体拡散層14上は膜57が残り、他の部分はゲート電極の側壁にのみ膜57が残る。

【0067】この後、低濃度のソース・ドレイン拡散層26の領域にサイドスペースをマスクとした自己整合プロセスにより、選択的に高不純物濃度のソース・ドレイン拡散層15、28、32、33を形成する。次に、第1の実施例と同様に、スパッタなどにより、高融点金属層と酸化防止層を連続成膜し、熱処理を行うことでシリサイド化させる。膜57上に残った未反応層と酸化防止層を酸溶液に浸して除去し、再び熱処理を行い、シリサイド層30を形成する。層間絶縁膜38を成膜し、コンタクトホールを開け、電極37と配線38を形成する。こうして、図6(c)に示す構造が得られる。

【0068】ここでは、高不純物濃度のソース・ドレイン拡散層を形成した後、シリサイド層を形成したが、シリサイド層30を形成した後、イオン注入を行い高不純物濃度のソース・ドレイン拡散層を形成してもよい。

【0069】本実施例ではシリサイド構造を採用しない部分の保護膜をゲート電極の側壁に形成するサイドスペースと共用するため、製造コストを低く抑えることができる。

【0070】(第4の実施例) 図7は、本実施例による光電変換装置の断面を示す。

【0071】図1の構成と異なる点は、高融点金属の半導体化合物形成阻止層としても機能した絶縁層29の上に、可視光における屈折率の大きい絶縁層59を設けた点と、半導体拡散層14にのみ実質的に光が入射するように、開口部56を有する遮光膜58を設けた点にある。

【0072】絶縁層29の厚さは5nm～300nmの範囲から選択し、絶縁層59の厚さは7nm～120nmの範囲から選択すると反射防止の効果があり、さらに、絶縁層29の厚さを100nm～300nmの範囲から選択し、絶縁層59の厚さを50nm～120nmの範囲から選択すればなおよい。

【0073】例えば、波長450nmの青色光に対して最適な厚さは、絶縁層29として酸化シリコン(屈折率1.46)を選択し、絶縁層59として窒化シリコン(屈折率2.00)を選択した場合、それぞれ154nmと57nmである。波長550nmの緑色光に対して最適な厚さは、絶縁層29として酸化シリコンを選択し、絶縁層59として窒化シリコンを選択した場合、それぞれ188nmと69nmである。波長650nmの赤色光に対して最適な厚さは、絶縁層29として酸化シリコンを選択し、絶縁層59として窒化シリコンを選択した場合、それぞれ223nmと81nmである。

【0074】又、絶縁層59として窒化酸化シリコン（屈折率1.65）を選択した場合の最適膜厚は、青、緑、赤色に対して、それぞれ68nm、84nm、99nmとなる。

【0075】反射防止膜としての効果は次のとおりである。

【0076】例えば波長550nmの光において、酸化シリコンからなる絶縁層29の厚さを188nmとし、窒化シリコンからなる絶縁層59の厚さを69nmとした場合、反射率は約6%となるのに対して、窒化シリコンからなる絶縁層59を設けなかった場合には27%に増えてしまう。

【0077】遮光層58は、電源ラインのような高基準電圧供給用の配線や、アースラインのような低基準電圧供給用の配線と兼用されていてもよいし、別途独立に設けてもよいし、場合によっては設けなくてもよい。

【0078】（第5の実施例）図8は、本実施例による受光部とその近傍の断面構造を示している。ここでは、光入射により発生した電荷を蓄積するN型の半導体拡散層14と絶縁層29の間に、P型の半導体拡散層22Aを設けて、絶縁層と半導体の界面の欠陥に因る暗電流を防止するとともに、PN接合をN型半導体拡散層14の上下に設けて蓄積容量を大きくした埋め込みホトダイオード構造を提供している。

【0079】これにより、アノードの一部を構成しているP型の半導体拡散層22Aの表面が絶縁層29で覆われていて、シリサイドのような高融点金属の半導体化合物層は形成されていない。

【0080】もし、半導体拡散層22Aの表面に高融点金属が堆積されシリサイド反応を生じると、リーク電流が増えるばかりか、表面の薄いP型半導体拡散層22AのPN接合を破壊したりする恐れもある。よって、このような埋め込みダイオード構造の受光部を持つ光電変換装置において、受光部に高融点金属の半導体化合物を形成しないことが極めて有効である。

【0081】（第6の実施例）図9（a）～図9（e）を参照して、本実施例による光電変換装置の製造方法を説明する。

【0082】半導体基板を用意してP型のウェル22を形成した後、選択酸化法により素子分離領域23を形成する。そして、ゲート絶縁膜を形成した後、ゲート電極となる多結晶シリコンなどの導電体を堆積してパターンニングする。

【0083】次に、受光部となる部分以外をホトレジストから形成されたマスク（不図示）で覆い、N型の不純物をイオン注入して、N型の半導体拡散層14を形成する。この場合、図9（a）に示すように、基板表面の法線方向に対して30度傾斜した向きにイオン打ち込みを行うことによりPN接合がゲート電極の下に配置されるようにイオンを打ち込むとよい。傾斜角度は30度に限

定されることはなく10度～60度の範囲から適宜選択できる。

【0084】そして、基板両面の法線方向に対して0度～10度、図9（a）の矢印とは逆に傾斜した向きにP型の不純物のイオン打ち込みを行いP型の半導体拡散層22Aを形成する。こうするとゲート電極12下のN型半導体拡散層14の端部から離れた位置にP型半導体拡散層22Aの端部を配置することができる。

【0085】さらに、低不純物濃度のソース・ドレインとなる拡散層26を形成するために、受光部となる領域をマスクして、N型不純物を注入する。この場合には、基板表面の法線方向に対して10度～60度傾斜した方向から、基板を面内回転させつつイオン打ち込みを行い、MOSトランジスタの向きによらず、ゲート電極下に低不純物濃度ソース・ドレインの端部が配されるようにする。又、同様にpMOS用の低不純物濃度ソース・ドレイン（不図示）を形成する。

【0086】次に、CVD法などにより酸化シリコンなどの絶縁体を堆積させたのち、反応性イオンエッチングなどによりその絶縁体をエッチバックして、ゲート電極12、13、31の側面にサイドスペーサ27を形成する。そして、光電変換部をホトレジストから形成されたイオン打ち込み用のマスク（不図示）とサイドスペーサとをマスクにしてN型不純物のイオン打ち込みを行いサイドスペーサに整合した高不純物濃度のソース・ドレイン拡散層15、28、32、33を形成する。又、同様にpMOS用の高不純物濃度ソース・ドレイン（不図示）を形成する。こうして図9（b）に示す構造が得られる。

【0087】続いて、CVD法などにより、高融点金属の半導体化合物形成阻止層29、59として酸化シリコンなどの低屈折率の絶縁層と窒化シリコンや窒化酸化シリコンなどの高屈折率の絶縁層を形成する。これらの絶縁層を残す場合には、これらが反射防止膜として機能するようにそれぞれの膜厚を定める。そして、高融点金属の半導体化合物を形成すべきソース・ドレイン及びゲート電極を含む領域の絶縁層29、59をエッチングにより除去して、半導体拡散層32、33の表面とゲート電極31の表面を露出させる。こうして図9（c）に示す構造が得られる。

【0088】そして、CVD又はスパッタリングにより、Coなど上述した高融点金属層と、TiNのような高融点金属窒化物の酸化防止層とを順次形成する。半導体化合物反応を生ずるに十分な温度で熱処理を行い、高融点金属の少なくとも下面側の部分を半導体と反応させて高融点金属の半導体化合物層30を形成する。硫酸と過酸化水素水の混合溶液などのエッチャントを用いて未反応の高融点金属層と酸化防止層とを除去する。こうして図9（d）に示したように自己整合的に高融点金属の半導体化合物層30を形成することができる。

【0089】BPSGのような層間絶縁膜38を形成した後、必要に応じてCMP（機械化学研磨）やリフローにより表面を平坦化する。そして、層間絶縁膜38に反応性イオンエッチングによりコンタクトホールを開ける。CVDやスパッタリングにより、チタンと窒化チタンのようなバリアメタル61をコンタクトホールの底面と側面に形成した後、アルミニウム、銅、タングステンなどの金属或いはそれらのうち一種を主成分とする合金からなる導電体をCVD、スパッタリング、メッキなどの方法により形成しコンタクトホール内に電極61となる導電体を埋め込む。必要に応じて層間絶縁膜38の上面より上方にあるバリアメタルや導電体をエッチングやCMPにより除去する。再びバリアメタル62を形成し、又、アルミニウム、銅、タングステンなどの金属或いはそれらのうち一種を主成分とする合金からなる導電体をCVD、スパッタリング、メッキなどの方法により堆積しパターニングして配線62を形成する。こうして図9(e)に示す構造が得られる。

【0090】（第7の実施例）図10は本実施例による光電変換装置の断面構造を示している。

【0091】本実施例では、ホットダイオードのカソードとなるN型拡散層14にはオーミックコンタクト用の高不純物濃度層が設けられ、これとバリアメタル61を介してコンタクトホール内の電極63に接続されている。転送用MOSトランジスタ2のソース・ドレイン15とゲート電極12の上面には高融点金属の半導体化合物層30が設けられている。半導体拡散層14のコンタクトホール部分は電極63と配線64により実質的に遮光されており、その部分を除くN型の半導体拡散層14の表面及びP型の半導体拡散層22Aの表面は酸化シリコンなどの層間絶縁膜38により覆われている。ここでは高融点金属の半導体化合物層30形成の際に用いた半導体化合物形成阻止層（不図示）は、その後の工程で除去した後層間絶縁膜38を形成している。

【0092】ここでは、MOSトランジスタとして転送用のものを図示したが、リセット用のMOSもこの図示したトランジスタと同じように構成できる。

【0093】又、本例を変更して、ホットダイオードのカソードをMOSトランジスタのゲート12に接続すれば、図示されているトランジスタを増幅用MOSトランジスタとして用いることもできる。

【0094】以上説明した各実施例では半導体の性質上、P型とN型を入れ替え、且つ電位の関係を逆にしても構成できることは明らかである。

【0095】又、本発明の光電変換装置は、受光部を一列に並べたリニアセンサとして用いることもできるし、2次元行列状に並べたエリアセンサとして用いることもできる。

【0096】エリアセンサの回路構成の一例を図11に示す。ここでは光電変換部41として2行2列の画素の

み示しているが、実用上は、例えば10万～1000万画素が配列される。42Aは読み出し画素の選択用シフトレジスタや、リセット用画素の選択用シフトレジスタなどの行選択回路で構成される周辺回路、42Bは、水平シフトレジスタやサンプル&ホールド回路や低電流源を含む信号読み出し回路などで構成される周辺回路である。このような光電変換装置の場合、ウエハ上の光電変換部41にあたる領域に半導体化合物形成阻止層を設けてから、サイリサイドプロセスを施し、周辺回路部を42A、42BのMOSトランジスタに半導体化合物層を形成するとよい。

【0097】図15は、本発明によるデジタルスチルカメラ又はデジタルビデオカメラなどの画像情報処理装置を示しており、71は光電変換装置に被写体の像を結像する光学レンズ、72は以上説明した光電変換装置、73はMPUを含む制御回路であり光電変換装置72から出力された画像信号を信号処理して記憶媒体75に記憶させる制御を行う。74は画像情報などを記憶媒体75に書き込む書き込み回路である。記録媒体75としては周知の半導体メモリー、磁気記録媒体、光記録媒体、光磁気記録媒体などを用いることができる。

【図面の簡単な説明】

【図1】本発明に係わる光電変換装置の模式的断面図である。

【図2】本発明に係わる光電変換装置の回路図である。

【図3】（a）は高融点金属の半導体化合物の層を形成した受光部の断面図、（b）は高融点金属の半導体化合物の層がない受光部の構成を示す模式的断面図である。

【図4】（a）～（e）は、本発明の一実施例に係わる光電変換装置の製造方法を説明するための模式的断面図である。

【図5】（a）～（d）は、本発明の別の実施例に係わる光電変換装置の製造方法を説明するための模式的断面図である。

【図6】（a）～（c）は、本発明の更に別の実施例に係わる光電変換装置の製造方法を説明するための模式的断面図である。

【図7】本発明の他の実施例に係わる光電変換装置の模式的断面図である。

【図8】本発明の更に他の実施例に係わる光電変換装置の模式的断面図である。

【図9】（a）～（e）は、本発明の更に他の実施例に係わる光電変換装置の製造方法を説明する模式的断面図である。

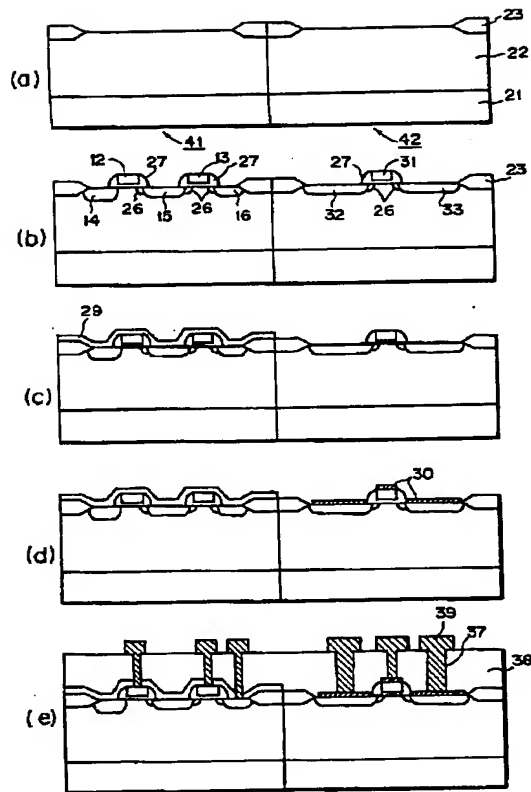
【図10】本発明の更に他の実施例に係わる光電変換装置の模式的断面図である。

【図11】本発明に用いられる光電変換装置の回路図である。

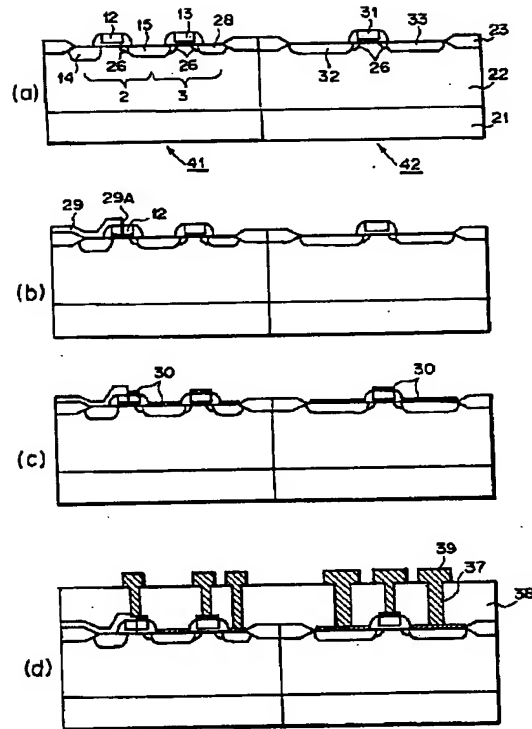
【図12】光電変換装置の回路図である。

【図13】従来の光電変換装置の模式的断面図である。

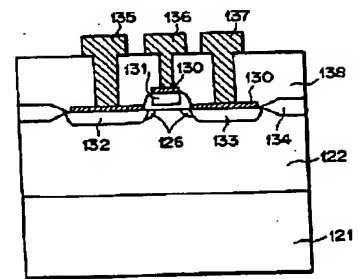
【図4】



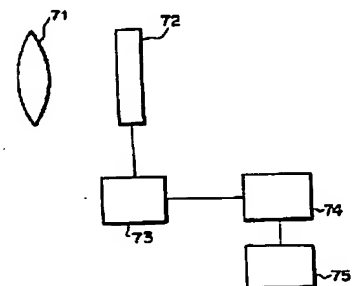
【図5】



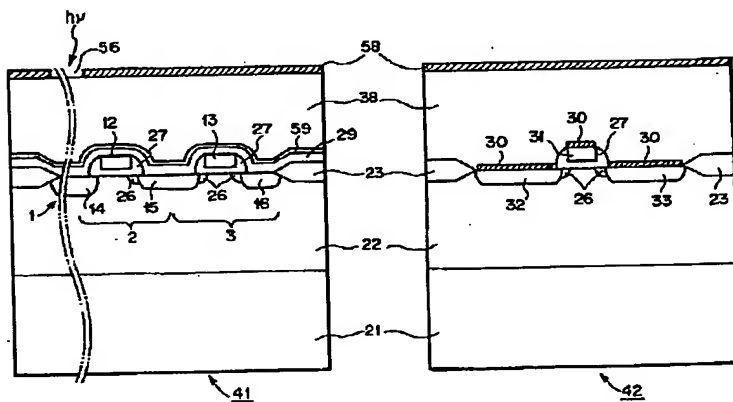
【図14】



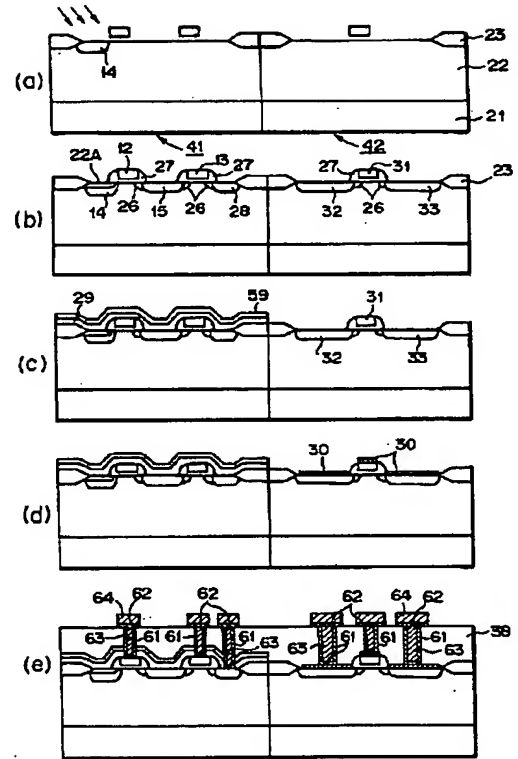
【図15】



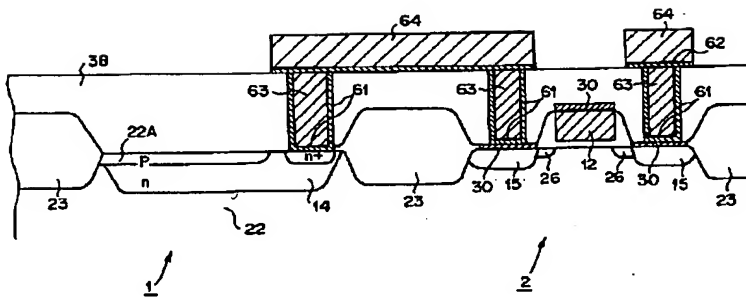
【図7】



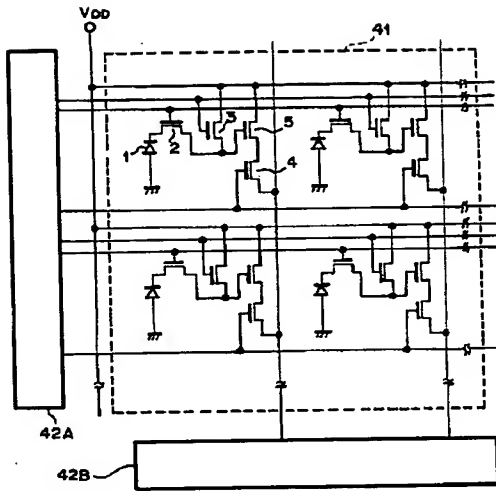
【圖9】



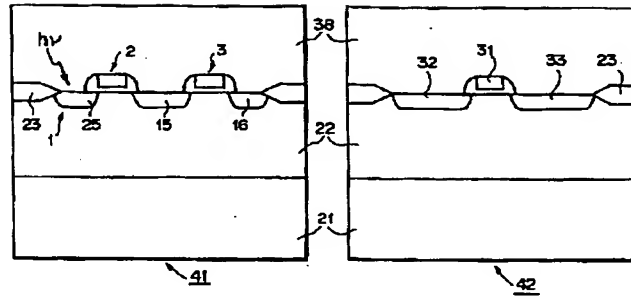
【図 10】



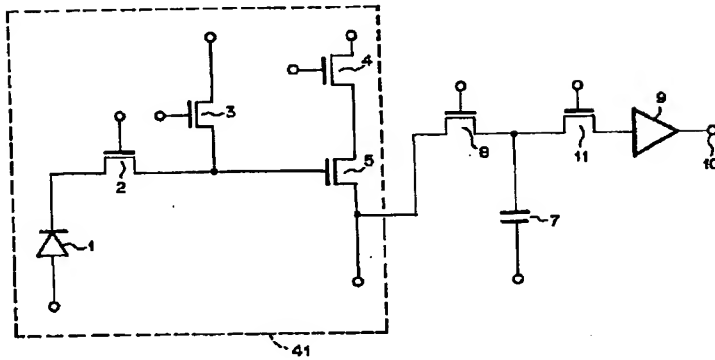
【図11】



【図13】



【図12】



フロントページの続き

(51)Int.Cl.
H04N 5/335

識別記号

FI
H01L 27/08
27/14

テーマコード (参考)

321Z
D